

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年5月12日 (12.05.2005)

PCT

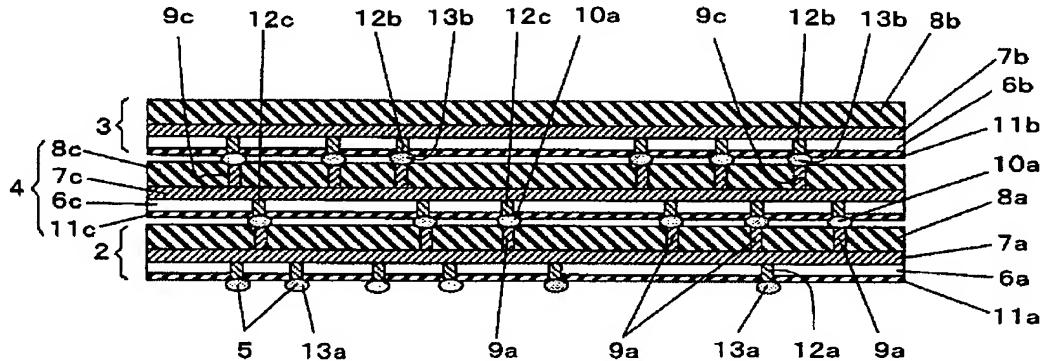
(10) 国際公開番号
WO 2005/043622 A1

(51) 国際特許分類: H01L 25/065, 25/07, 25/10, 25/11, 25/18
 (21) 国際出願番号: PCT/JP2004/011454
 (22) 国際出願日: 2004年8月10日 (10.08.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ: 特願 2003-370651
 2003年10月30日 (30.10.2003) JP
 (71) 出願人 (米国を除く全ての指定国について): 独立行政法人科学技術振興機構 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町4丁目1番8号 Saitama (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 石原 政道 (ISHIHARA, Masamichi) [JP/JP]; 〒8113217 福岡県宗像郡福間町中央6-1-13 Fukuoka (JP).
 (74) 代理人: 秋田 収喜 (AKITA, Shuki); 〒1140013 東京都北区東田端1丁目13番9号 ツインビル田端B2階 Tokyo (JP).
 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

(続葉有)

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR FABRICATING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A thin stacked semiconductor device suitable for high speed operation. A plurality of specified circuits are formed on one surface of a semiconductor substrate while being arranged, and wiring and insulating layers being connected electrically with the circuits are laminated and formed sequentially in a specified pattern to form a multilayer wiring part. At the stage for forming the multilayer wiring part, a filling electrode is formed on the semiconductor substrate such that the surface is covered with an insulating film, a post electrode is formed on specified wiring at the multilayer wiring part, a first insulating layer is formed on one surface of the semiconductor substrate, the surface of the first insulating layer is removed by a specified thickness to expose the post electrode, the other surface of the semiconductor substrate is ground to expose the filling electrode and to form a through-type electrode, forward end of the through-type electrode is projected by etching one surface of the semiconductor substrate, a second insulating layer is formed on one surface of the semiconductor substrate while exposing the forward end of the through-type electrode, bump electrodes are formed on both electrodes and then the semiconductor substrate is divided to form a semiconductor device. A plurality of semiconductor devices thus obtained are stacked and secured at the bump electrodes thus manufacturing a stacked semiconductor device.

(57) 要約: 薄型でかつ高速動作に適した積層型半導体装置である。半導体基板の一面に所定回路を複数整列配置形成し、回路に電気的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成し、多層配線部を形成する段階で半導体基板に表面が絶縁膜で覆われる充填電極を形成し、

(続葉有)

WO 2005/043622 A1



ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

多層配線部の所定の配線上にポスト電極を形成し、半導体基板の一面に第 1 の絶縁層を形成し、第 1 の絶縁層の表面を所定厚さ除去してポスト電極を露出させ、半導体基板の他の一面を研削して充填電極を露出させて貫通電極を形成し、半導体基板の一面をエッティングして貫通電極を先端を突出させ、貫通電極の先端を露出させる状態で半導体基板の一面に第 2 の絶縁層を形成し、両電極に突起電極を形成し、半導体基板を分割して半導体装置を形成する。この方法で得た複数の半導体装置を突起電極で積層固定して積層型半導体装置を製造する。